

【発明の名称】 電界効果型トランジスタ並びにそれを用いた集積回路装置及びスイッチ回路

【発明の背景】

本発明は、電界効果型トランジスタ並びにそれを用いた集積回路装置及びスイッチ回路に関し、特に高周波通信機器又はスイッチ回路に使用される電界効果型トランジスタに関する。

携帯電話に代表される高周波通信機器において、アンドープのチャネル層の上に、 n 型不純物をドーピングした電子供給層を用いた変調ドーピング型電界効果トランジスタ(MODFET: Modulation Doped Field Effect Transistor)が広く用いられている。

従来より、MODFETのチャネル層には電子移動度が大きいヒ化インジウムガリウム(InGaAs)が用いられ、電子供給層にはInGaAsよりもバンドギャップが大きい材料であるヒ化アルミニウムガリウム(AlGaAs)が用いられている。

しかしながら、AlGaAsは界面準位密度が大きい材料であるため、界面準位に電子がトラップされてMODFETの電流密度を増大することが困難となる。具体的には、電子供給層の表面に形成される界面準位は、電子を捕捉して電子供給層の表面に保持するトラップとして働き、このトラップに捕捉された電子の負電荷がチャネル領域の空乏層を狭窄する。この空乏層が狭窄される現象によって、高周波信号をゲートに印加した際の最大電流密度が、直流を印加した場合と比べて大幅に減少するという、いわゆるドレイン電流の周波数分散が生じてしまう。

このような問題に対して、電子供給層を構成する材料にAlGaAsに代えてリン化インジウムガリウム(InGaP)を用いることにより、電子供給層に生じるトラップを低減し、電界効果型トランジスタの電流密度の増大が可能となる(例えば、特開昭63-228763号公報を参照)。

図7は、電子供給層にInGaPを用いる従来のMODFET断面構成を示している。図7に示すように、GaAsからなる化合物半導体基板101の上には、アンドープのGaAsからなるバッファ層102と、 n 型不純物がドーピングされたAlGaAsからなるバリア層103と、アンドープの $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ からなるチャネル層104と、 n 型不純物がドーピングされたInGaPからなる電子供給層105と、該電子供給層105を露出する開口部が形成され且つ n 型不純物がドーピングされたGaAsからなるキャップ層107と

が順次積層されている。キャップ層 107 の開口部に露出した電子供給層 105 の上には、ショットキー接合によりゲート電極 108 が形成されている。またキャップ層 107 上には、ソース電極 109 及びドレイン電極 110 が形成されている。

InGaP は、AlGaAs と比べて界面準位密度が小さい材料であるため、キャップ層 107 の開口部に露出した電子供給層 105 の界面準位を低減することができるので、高周波信号を印加したときの最大電流密度を高めることができる。

ところで、従来の MODFET において、通常用いられている化合物半導体の製造方法により InGaP からなる半導体層 (InGaP 層) を結晶成長すると、III 族原子層において、Ga 原子と In 原子とが同一面内で交互に配列した自然超格子が形成される。

近年、例えば、特許文献 2 に記載されているように、自然超格子構造を破壊して III 族原子層における Ga 原子と In 原子との配列を無秩序化した InGaP 層を形成する方法が知られており、このような自然超格子を破壊して InGaP を用いることにより、InGaP 層と他の半導体層との界面抵抗が低減された電界効果型トランジスタが開発されている。

しかしながら、前記従来の MODFET によると、ゲート電極 108 を InGaP からなる電子供給層 105 とのショットキー接合により形成しているため、ゲート電極 108 のドレイン電極 110 に対する逆方向耐圧が、電子供給層 105 に AlGaAs を用いた場合よりも低下してしまうことが実験的に知られている。

このように、前記従来の MODFET は、InGaP を用いて高周波信号印加時の最大電流密度の向上を図ると、InGaP の材料的な制約によりゲート耐圧が低下してしまうため、最大電流密度の向上とゲート耐圧の向上とを両立することが困難であるという問題を有している。

【発明の概要】

本発明は、前記従来の問題を解決し、電界効果型トランジスタにおいて、最大電流密度の向上とゲート耐圧の向上とを両立できるようにすることを目的とする。

前記の目的を達成するため、本発明は、ショットキー層の上部に自然超格子が破壊され且つ厚さが所定値以下の InGaP 層を設ける構成とする。

具体的に本発明に係る電界効果型トランジスタは、キャリアが走行する第 1 の化合物半導体層 (チャネル層) と、第 1 の化合物半導体層の上に形成され、第 1 の化合物半導体層

にキャリアを供給する第2の化合物半導体層（キャリア供給層）と、第2の化合物半導体層の上に形成された第3の化合物半導体層（ショットキー層）と、第3の化合物半導体層の上に形成され、第3の化合物半導体層とショットキー接合するゲート電極とを備え、第3の化合物半導体層は、その少なくとも上部に自然超格子が破壊され且つ厚さが所定値以下に設定されたリン化インジウムガリウムを含む。

本発明の電界効果型トランジスタによると、第3の化合物半導体層は、その少なくとも上部に自然超格子が破壊されたリン化インジウムガリウム（InGaP）を含むため、第3の化合物半導体層における界面準位密度を低減して最大電流密度を向上することができる。その上、第3の化合物半導体層に含まれるリン化インジウムガリウムの厚さが所定値以下に設定されているため、ゲート電極の耐圧が向上する。これは、第3の化合物半導体層の上部に自然超格子構造が破壊されたリン化インジウムガリウムを用いると、第3の化合物半導体層の上部に自然超格子構造が破壊されたリン化インジウムガリウムを含めない状態から、リン化インジウムガリウムの厚さを増大させるのに伴って、ゲート電極の耐圧がまず急激に増大し、その後徐々に低下する傾向があるという本願発明者らの知見に基づく。従って、第3の化合物半導体層の上部に含める、自然超格子構造が破壊されたリン化インジウムガリウムの厚さを所定値以下に設定することにより、ゲート電極の耐圧が、第3の化合物半導体層の上部に自然超格子構造が破壊されたリン化インジウムガリウムを形成しない場合と比べてその耐圧が大きくなる。

本発明の電界効果型トランジスタにおいて、第3の化合物半導体層に含まれるリン化インジウムガリウムの厚さは8 nm以下であることが好ましい。このようにすると、ゲート電極の耐圧が、第3の化合物半導体層にリン化インジウムガリウムを含めない構成と比べて確実に大きくなる。

本発明の電界効果型トランジスタにおいて、リン化インジウムガリウムが第3の化合物半導体層の上部にのみ含まれる場合に、第3の化合物半導体層の下部はヒ化アルミニウムガリウムからなることが好ましい。

本発明の電界効果型トランジスタにおいて、第2の化合物半導体層はヒ化アルミニウムガリウムからなることが好ましい。

本発明の電界効果型トランジスタは、第3の化合物半導体層の上にゲート電極を覆うように形成された低誘電率材料からなる保護膜をさらに備えていることが好ましい。このようにすると、低誘電率の保護膜により第3の化合物半導体層及びゲート電極が覆われるた

め、ゲート電極の寄生容量を低減することができる。また、第3の化合物半導体層の少なくとも上部は、酸化されにくい材料であるInGaPからなるため、低誘電率材料を用いても信頼性が低下することがない。

本発明の電界効果型トランジスタにおいて、低誘電率材料はベンゾシクロブテンであることが好ましい。

本発明に係る集積回路装置は、基板上に、電界効果型トランジスタ及び該電界効果型トランジスタと電氣的に接続された受動素子が形成された集積回路を対象とし、電界効果型トランジスタは、キャリアが走行する第1の化合物半導体層と、第1の化合物半導体層の上に形成され、第1の化合物半導体層にキャリアを供給する第2の化合物半導体層と、第2の化合物半導体層の上に形成された第3の化合物半導体層と、第3の化合物半導体層の上に形成され、第3の化合物半導体層とショットキー接合するゲート電極とを有し、第3の化合物半導体層は、その少なくとも上部に自然超格子が破壊され且つ厚さが所定値以下に設定されたリン化インジウムガリウムを含む。

本発明の集積回路装置によると、電界効果型トランジスタに本発明に係る電界効果型トランジスタを用いており、本発明に係る電界効果型トランジスタと受動素子とを1つの基板上に集積化することにより、電界効果型トランジスタにおける最大電流密度の向上とゲート電極の耐圧の向上とを同時に実現できるため、回路特性を飛躍的に向上させることができる。

本発明に係る第1のスイッチ回路は、ゲート電極、ドレイン電極及びソース電極を有し、ドレイン電極及びソース電極が入出力端子となる電界効果型トランジスタと、一端がゲート電極と接続され他端が制御端子となる抵抗素子とを備えたスイッチ回路を対象とし、電界効果型トランジスタは、キャリアが走行する第1の化合物半導体層と、第1の化合物半導体層の上に形成され、第1の化合物半導体層にキャリアを供給する第2の化合物半導体層と、第2の化合物半導体層の上に形成された第3の化合物半導体層と、第3の化合物半導体層の上に形成され、第3の化合物半導体層とショットキー接合するゲート電極とを有し、第3の化合物半導体層は、その少なくとも上部に自然超格子が破壊され且つ厚さが所定値以下に設定されたリン化インジウムガリウムを含む。

また、本発明に係る第2のスイッチ回路は、それぞれが、ゲート電極、ドレイン電極及びソース電極を有し、ドレイン電極及びソース電極が入出力端子となる電界効果型トランジスタと、一端がゲート電極と接続され他端が制御端子となる抵抗素子とを備え、互いに

電氣的に接続され複数のスイッチ回路を対象とし、各電界効果型トランジスタは、キャリアが走行する第１の化合物半導体層と、第１の化合物半導体層の上に形成され、第１の化合物半導体層にキャリアを供給する第２の化合物半導体層と、第２の化合物半導体層の上に形成された第３の化合物半導体層と、第３の化合物半導体層の上に形成され、第３の化合物半導体層とショットキー接合するゲート電極とを有し、第３の化合物半導体層は、その少なくとも上部に自然超格子が破壊され且つ厚さが所定値以下に設定されたリン化インジウムガリウムを含む。

第１及び第２のスイッチ回路によると、本発明に係る電界効果型トランジスタを用いているため、オフ状態からオン状態への切り替えが十分に行えない不良（バースト不良）を防止できるので、良好なスイッチ特性を得ることができる。

【図面の簡単な説明】

図１は本発明の第１の実施形態に係る電界効果型トランジスタを示す構成断面図である。

図２は電界効果型トランジスタにおけるショットキー層の厚さとゲート耐圧との関係を示すグラフである。

図３は本発明の第２の実施形態に係る電界効果型トランジスタを示す構成断面図である。

図４は本発明の第３の実施形態に係る集積回路装置を示す構成断面図である。

図５は本発明の第４の実施形態に係るスイッチ回路を示す回路図である。

図６は本発明の第４の実施形態の一変形例に係るスイッチ回路を示す回路図である。

図７は従来の電界効果型トランジスタを示す構成断面図である。

【発明の詳細な説明】

（第１の実施形態）

本発明の第１の実施形態について図面を参照しながら説明する。

図１は本発明の第１の実施形態に係る電界効果型トランジスタの断面構成を示している。図１に示すように、例えば、ヒ化ガリウム（GaAs）からなる化合物半導体基板１１の上には、厚さが約５００nmのヒ化アルミニウムガリウム（AlGaAs）からなるバッファ層１２、厚さが約１００nmのn型のAlGaAsからなるバリア層１３、厚さが約１５nmのアンドープのヒ化インジウムガリウム（InGaAs）からなるチャネル層１４、厚さが約２０nmのn型のAlGaAsからなるキャリア供給層１５、厚さが約５nm

mのアンドープのリン化インジウムガリウム (InGaP) からなり、 InGaP における自然超格子が破壊されたショットキー層 16 及び厚さが約 100 nm で n 型不純物がドーピングされた GaAs からなり、ショットキー層 16 の一部を露出する開口部を有するキャップ層 17 が順次積層されている。

ここで、自然超格子が破壊された InGaP とは、その III 族原子層において Ga 原子と In 原子とが不規則に配列した結晶構造を持つ InGaP のことをいう。

一般に、 InGaP 層を結晶成長により形成すると、III 族原子層において Ga 層と In 層とが交互に配列した自然超格子が形成されるが、 InGaP 層を低温で結晶成長することにより、自然超格子が破壊された InGaP 層を形成することができる。なお、以下の説明では、このような自然超格子が破壊された InGaP を、無秩序配列 (Disordered) の InGaP と呼ぶ。

キャップ層 17 の開口部に露出したショットキー層 16 の上には、チタンとアルミニウムとの積層膜 (Ti/Al) により、ショットキー層 16 とショットキー接合するゲート電極 18 が形成されている。また、キャップ層 17 の上には、オーミック電極として、金ゲルマニウム (AuGe) 系の合金からなるソース電極 19 及びドレイン電極 20 がそれぞれに形成されている。

なお、ゲート電極 18 を構成する材料は Ti/Al に限られず、ショットキー層 16 とショットキー接合を形成する材料であればよく、例えば、チタン、白金及び金が積層された積層膜 (Ti/Pt/Au) 又はタングステンシリサイド (WSi) を用いることができる。

また、キャップ層 17 を構成する材料は、 GaAs に限られず、例えば InGaAs を用いてもよい。キャップ層 17 を構成する材料に InGaAs を用いる場合、ソース電極 19 及びドレイン電極 20 を構成する材料に、 AuGe 系の合金に代えて Ti/Pt/Au を用いることができる。

第 1 の実施形態の電界効果型トランジスタにおける各半導体層の具体的な組成として、例えば、チャネル層 14 を構成する InGaAs に、 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ を用い、キャリア供給層 15 を構成する AlGaAs に、 $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ を用い、ショットキー層 16 を構成する InGaP に、 $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$ を用いる。また、キャリア供給層 15 には、ドーピング濃度が約 $4 \times 10^{12} \text{ cm}^{-3}$ のシリコン (Si) がプレーナドーピングされている。

なお、第 1 の実施形態においては、厚さが 5 nm のショットキー層 16 の全体を無秩序

配列の InGaP により構成したが、これに限られない。例えば、無秩序配列の InGaP の厚さを 3 nm に設定した場合には、残りの 2 nm を AlGaAs により形成する。また、無秩序配列の InGaP の厚さを 7 nm に設定した場合には、トランジスタのしきい値電圧 V_{th} を決定するパラメータである、チャネル層 14 とゲート電極 18 との距離を変えないように、キャリア供給層 15 の厚さを 2 nm だけ減らす必要がある。

第 1 の実施形態に係る電界効果型トランジスタにおいて、 AlGaAs からなるキャリア供給層 15 の上に InGaP からなるショットキー層 16 が設けられているため、ショットキー層 16 の界面準位密度が小さくされているので、周波数分散を抑制することができる。その結果、ゲート電極 18 に高周波信号を印加した場合においても高い最大電流密度を実現することができる。

さらに、第 1 の実施形態の特徴として、ショットキー層 16 の上部に厚さが 0 nm よりも大きく且つ 10 nm 以下、ここでは 5 nm の無秩序配列の InGaP が形成されており、これにより、ゲート電極 18 の逆方向耐圧の向上が実現される。ここで、ゲート電極 18 の逆方向耐圧とは、ゲート電極 18 とドレイン電極 20 との電極間であって、ゲート電極 18 に印加される負電圧に対する耐圧をいう。

以下、ショットキー層 16 の厚さとゲート電極 18 の逆方向耐圧との関係について図面を参照しながら説明する。

図 2 は第 1 の実施形態に係る電界効果型トランジスタにおいて、ショットキー層 16 の上部に含める InGaP の厚さとゲート電極 18 の逆方向耐圧との関係を実験に基づいて示している。図 2 において、横軸はショットキー層 16 の上部に含める InGaP の厚さを表し、縦軸はゲート電極 18 の逆方向耐圧を表している。ここで、例えば、ショットキー層 16 における InGaP の厚さが 0 nm の場合は、ショットキー層 16 は AlGaAs のバルクからなっており、また、 InGaP の厚さが 10 nm の場合は、ショットキー層 16 の上部に 10 nm の厚さの InGaP を含み、その残部は AlGaAs からなる。また、実線はショットキー層 16 の上部に含める InGaP に無秩序配列 InGaP を用いた第 1 の実施形態の電界効果型トランジスタを示し、破線は、比較用であって、ショットキー層 16 の上部に含める InGaP に自然超格子構造の InGaP を用いた場合を示している。

図 2 に示すように、ショットキー層 16 の上部に含める InGaP の厚さが 0 nm の場合、即ち、ショットキー層 16 をすべて AlGaAs により形成した場合には、逆方向耐

圧は約 12 V である。

図 2 において実線で示すように、無秩序配列の InGaP をショットキー層 16 の上部に含めた第 1 の実施形態に係る構成においては、ショットキー層 16 における InGaP の厚さが約 2 nm まで増大すると、逆方向耐圧が急激に増大し、その後、該 InGaP の厚さが増大するにつれて、徐々に逆方向耐圧が低下して、InGaP の厚さが約 8 nm よりも大きくなると逆方向耐圧が約 12 V よりも小さくなる。

一方、図 2 において破線で示すように、自然超格子の InGaP をショットキー層 16 の上部に含めた場合には、自然超格子の InGaP の厚さが約 2 nm まで増大すると、逆方向耐圧が急激に低下し、その後、自然超格子の InGaP の厚さが増大しても逆方向耐圧はほとんど変化しない。

図 2 から明らかなように、無秩序配列の InGaP をショットキー層 16 の上部に含めた第 1 の実施形態においては、ゲート電極 18 の逆方向耐圧が、ゲート電極 18 を AlGaAs からなるショットキー層 16 の上に形成した場合と比べて、ゲート電極 18 の逆方向耐圧が増大するような無秩序配列の InGaP の厚さが存在する。具体的には、ショットキー層 16 の上部に含める無秩序配列の InGaP の厚さが 10 nm 以下、より好ましくは 8 nm 以下であると、逆方向耐圧がゲート電極 18 を AlGaAs からなるショットキー層 16 の上に形成した場合と比べて大きくなる。

これに対し、自然超格子構造の InGaP をショットキー層 16 の上部に含めた場合には、逆方向耐圧がゲート電極 18 を AlGaAs からなるショットキー層 16 の上に形成した場合と比べて増大することがない。

このように、ショットキー層 16 の上部に、厚さが 0 nm よりも大きく且つ 8 nm 以下の無秩序配列の InGaP を含めることにより、逆方向耐圧がゲート電極 18 を AlGaAs からなるショットキー層 16 の上に形成した場合よりも大きくなる。

なお、第 1 の実施形態においては、キャリア供給層 15 を構成する AlGaAs に $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ を用い、ショットキー層 16 の上部に含める InGaP に $\text{In}_{0.5}\text{Ga}_{0.5}\text{P}$ を用いた場合について説明したが、各半導体層の組成及び不純物濃度を変更した場合においても、ゲート電極 18 の逆方向耐圧がゲート電極 18 を AlGaAs からなるショットキー層 16 の上に形成した場合よりも大きくなるように無秩序配列の InGaP の厚さを設定することが可能である。

即ち、各半導体層の組成及び不純物濃度を変更した場合においても、ショットキー層 1

6の上部に含めるInGaPの厚さを増大させるのに伴って、ゲート電極18の逆方向耐圧はまず急激に増大してその後徐々に低下するという傾向があり、ショットキー層16の上部に含めるInGaPの厚さが所定の値よりも大きくなると、逆方向耐圧はInGaPを含めない場合の逆方向耐圧よりも小さくなる。従って、ショットキー層16の上部に含めるInGaPの厚さを所定の値、即ち、逆方向耐圧がショットキー層16の上部にInGaPを含めない場合の逆方向耐圧と同一となるときの厚さ以下に設定することにより、ゲート電極18の逆方向耐圧がゲート電極18をAlGaAsからなるショットキー層16の上に形成した場合よりも大きくなる。

以上説明したように、第1の実施形態によると、ショットキー層16の少なくとも上部に自然超格子が破壊された無秩序配列のInGaPを含ませ、該InGaP層の厚さを所定値以下に設定することにより、最大電流密度の向上と逆方向耐圧の向上とを両立することが可能となる。

(第2の実施形態)

以下、本発明の第2の実施形態について図面を参照しながら説明する。

図3は、本発明の第2の実施形態に係る電界効果型トランジスタの断面構成を示している。図3において、図1と同一の構成部材については同一の符号を付すことにより説明を省略する。

図3に示すように、化合物半導体基板11の上には、バッファ層12、バリア層13、チャネル層14、キャリア供給層15、ショットキー層16、キャップ層107が順次積層されている。キャップ層17のリセス開口部に露出したショットキー層16の上には、ショットキー電極であるゲート電極18が形成されており、ゲート電極18両側方に挟むキャップ層17の上には、オーミック電極としてのソース電極19及びドレイン電極20がそれぞれに形成されている。

キャップ層17の上には、ゲート電極18、ソース電極19及びドレイン電極20の上を含む全面にわたって、ベンゾシクロブテン(BCB)からなる保護膜21が設けられている。

なお、保護膜21を構成する材料は、BCBに限られず、例えばSiLK(ダウケミカル社の芳香族炭化水素ポリマー)、FSG(フッ素が添加されたシリコンガラス)、ポラスシリコン又は有機シロキサン等のSOG(spin on glass)等の低誘電率材料(いわゆるlow-k材料)を用いることができる。

一般に、ショットキー層 16 を被覆する保護膜 21 の材料として、耐湿性に優れた窒化シリコン (SiN) を用いる。これに対し、第 2 の実施形態においては、ショットキー層 16 が酸化されにくい材料である InGaP からなるため、耐湿性に優れた材料を用いる必要がない。

即ち、第 2 の実施形態によると、ショットキー層 16 の上に SiN 膜を形成しなくても電界効果型トランジスタの信頼性が低下しないため、SiN よりも比誘電率が小さい低誘電率材料を用いて保護膜 21 を形成することができるので、電界効果型トランジスタの寄生容量を低減することができる。

さらに、第 2 の実施形態においても、第 1 の実施形態と同様に、ショットキー層 16 が無秩序配列の InGaP からなり、その厚さが 10 nm 以下に形成されているため、AlGaAs からなるショットキー層の上にゲート電極 18 を形成した場合と比べて、ゲート電極 18 の逆方向耐圧が向上した電界効果型トランジスタが実現されている。これにより、InGaP をショットキー層 16 に用いた電界効果型トランジスタにおいて、最大電流密度の向上とゲート耐圧の向上とを両立することが可能となる。

(第 3 の実施形態)

以下、本発明の第 3 の実施形態について図面を参照しながら説明する。

図 4 は本発明の第 3 の実施形態に係る集積回路の断面構成を示している。図 4 に示すように、例えば GaAs からなる化合物半導体基板 30 の上に、化合物半導体からなるエピタキシャル層 31 が結晶成長により形成されている。

基板 30 及びエピタキシャル層 31 上における符号 32 が示す領域には、第 1 の実施形態に係る電界効果型トランジスタと同一の構成を有する電界効果型トランジスタが形成されている。また、基板 30 上には、抵抗素子 33 と容量素子 34 とが集積されて、MMIC (モノリシックマイクロ波集積回路) が構成されている。

抵抗素子 33 は、例えばポリシリコン (PS)、タングステンシリサイドナイトライド (WSiN) 又はニッケルクロム (NiCr) により構成されている。なお、ここでは、WSiN 又は NiCr が特に好ましい。容量素子 34 は例えば、白金 (Pt) からなる下部電極 34a 及び上部電極 34c 並びにそれらの間に挟まれた例えば窒化シリコン (SiN) からなる容量絶縁膜 34b により構成されている。

図 4 に示すように、電界効果型トランジスタ 32 のドレイン電極 20 は、抵抗素子 33 の一方の端子と、層間絶縁膜 35 の上に形成された金属配線 36 により電氣的に接続されており、抵抗素子 33 の他方の端子は、容量素子 34 の下部電極 34a と金属配線 36 により電氣的に接続されている。

電界効果型トランジスタ 32 は、第 1 の実施形態で説明したように、最大電流密度の向上とゲート耐圧の向上とを共に実現できるため、最大電流密度と耐圧との積で決定されるパワー特性を改善することが可能となる。

従って、電界効果型トランジスタ 32、抵抗素子 33 及び容量素子 34 を集積化した M M I C は、優れた電氣的特性を有するスイッチ回路を実現することができる。

なお、第 3 の実施形態に係る集積回路は、パワーアンプに適用しても優れた電氣的特性を有することはいうまでもない。

（第 4 の実施形態）

以下、本発明の第 4 の実施形態について図面を参照しながら説明する。

図 5 は本発明の第 4 の実施形態に係るスイッチ回路の構成を示している。図 5 に示すように、スイッチ回路 40 は、第 1 の実施形態と同一の構成を有する電界効果型トランジスタ 41 と、該電界効果型トランジスタのゲート電極と接続された抵抗素子 42 とから構成されている。

抵抗素子 42 におけるゲート電極の反対側の端子は、直流電圧（直流バイアス）が印加される制御端子 41 と接続されている。

電界効果型トランジスタ 40 のソース電極は高周波信号の入力端子 44 と接続され、ドレイン電極は出力端子 45 と接続されている。

この構成により、公知のように、制御端子 43 に対して、電界効果型トランジスタ 41 に設定されたしきい値電圧 V_{th} よりも高い制御電圧を印加すると、入力端子 44 から入力される高周波信号は出力端子 45 に出力され、逆に、しきい値電圧 V_{th} よりも低い制御電圧を印加すると、入力端子 44 から入力される高周波信号を出力されないようにすることができる。

このとき、第 4 の実施形態に係る電界効果型トランジスタ 41 は、ショットキー層の少なくとも上部に無秩序配列の $InGaP$ を含むことにより、最大電流密度が向上しているため、ドレイン電流の周波数分散が抑制される。その結果、ス

スイッチをオフ状態からオン状態に切りかえる時に発生する切り替え不良（バースト不良）を抑制することができる。

さらに、スイッチ回路の重要な特性である最大電力を増加させるには、電界効果型トランジスタ 41 のしきい値電圧 V_{th} を浅く（絶対値で小さく）することが重要であるが、従来はしきい値電圧 V_{th} を浅くするとバースト不良が発生するという課題があった。

しかしながら、第 4 の実施形態に係るスイッチ回路 40 を用いると、ショットキー層の上部に含まれる無秩序配列の $InGaP$ の厚さを 8 nm 以下に設定しているため、ゲート耐圧の向上が図られている。従って、しきい値電圧 V_{th} を浅く設計した場合でも、バースト不良を確実に防止できるので、スイッチ回路 40 は極めて大きな高周波電力のスイッチングを行うことができる。

（第 4 の実施形態の一変形例）

以下、本発明の第 4 の実施形態の一変形例について図面を参照しながら説明する。

図 6 は本発明の第 4 の実施形態の一変形例に係るスイッチ回路の構成を示している。図 6 において、図 5 に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。図 5 に示すように、スイッチ回路 50 は、第 1 のスイッチ回路 40A と第 2 のスイッチ回路 40B とからなり、第 2 のスイッチ回路 40B が、第 1 のスイッチ回路 40A の出力端子 45 とグランド 46 との間にシャント接続されている。

スイッチ回路 50 において、第 1 のスイッチ回路 40A の第 1 の制御端子 43A には電界効果型トランジスタ 42 のしきい値電圧 V_{th} よりも高い制御電圧を印加し、且つ、第 2 のスイッチ回路 40B の第 2 の制御端子 43B には電界効果型トランジスタ 42 のしきい値電圧 V_{th} よりも低い制御電圧を印加することにより、入力端子 44 に入力された高周波信号は出力端子 45 に伝達されて、スイッチ回路 50 はオン状態となる。

これとは逆に、第 1 のスイッチ回路 40A の第 1 の制御端子 43A には電界効果型トランジスタ 42 のしきい値電圧 V_{th} よりも低い制御電圧を印加し、且つ、第 2 のスイッチ回路 40B の第 2 の制御端子 43B には電界効果型トランジスタ 42 のしきい値電圧 V_{th} よりも高い制御電圧を印加することにより、入力端子 4

4に入力された高周波信号は出力端子4・5には伝達されず、スイッチ回路50はオフ状態となる。

このように、各制御端子43A、43Bに印加する制御電圧によりスイッチ回路50のオン状態及びオフ状態を制御する際に、第1の実施形態に係る電界効果型トランジスタと同一の構成を有する電界効果型トランジスタ42を用いているため、ドレイン電流の周波数分散に起因するバースト不良を防止できるので、2組の電界効果型トランジスタ42のオン状態とオフ状態との切り替えを確実に行うことができる。その結果、極めて良好なスイッチ特性を実現することができる。

なお、第4の実施形態において説明したスイッチ回路40を複数個接続することにより実現可能な、1入力2出力のいわゆるSPDT (Single-Pole Double-Throw) 又は2入力2出力のDPDT (Double-Pole Double-Throw) 等の極めて多様なスイッチ回路に、本発明を適用可能であることはいうまでもない。

本発明に係る電界効果型トランジスタ並びにそれを用いた集積回路装置及びスイッチ回路は、ショットキー電極の逆方向耐圧が向上し、さらに本発明に係る電界効果型トランジスタをスイッチ回路に適用することにより、該スイッチ回路におけるバースト不良を防止するという効果を有し、高周波通信機器又はスイッチ回路等の分野に有用である。

【クレーム】

1. 電界効果型トランジスタは、

キャリアが走行する第1の化合物半導体層と、

前記第1の化合物半導体層の上に形成され、前記第1の化合物半導体層にキャリアを供給する第2の化合物半導体層と、

前記第2の化合物半導体層の上に形成された第3の化合物半導体層と、

前記第3の化合物半導体層の上に形成され、前記第3の化合物半導体層とショットキー接合するゲート電極とを備え、

前記第3の化合物半導体層は、その少なくとも上部に自然超格子が破壊され且つ厚さが所定値以下に設定されたリン化インジウムガリウムを含む。

2. クレーム1において、

前記第3の化合物半導体層に含まれるリン化インジウムガリウムの厚さは8 nm以下である。

3. クレーム1において、

前記リン化インジウムガリウムが前記第3の化合物半導体層の上部にのみ含まれる場合に、前記第3の化合物半導体層の下部はヒ化アルミニウムガリウムからなる。

4. クレーム1において、

前記第2の化合物半導体層はヒ化アルミニウムガリウムからなる。

5. クレーム1の電界効果型トランジスタは、

前記第3の化合物半導体層の上に前記ゲート電極を覆うように形成された低誘電率材料からなる保護膜をさらに備えている。

6. クレーム5において、

前記低誘電率材料はベンゾシクロブテンである。

7. 集積回路装置は、

基板上に、電界効果型トランジスタ及び該電界効果型トランジスタと電氣的に接続された受動素子が形成された集積回路であって、

前記電界効果型トランジスタは、

キャリアが走行する第1の化合物半導体層と、

前記第1の化合物半導体層の上に形成され、前記第1の化合物半導体層にキャリアを供給する第2の化合物半導体層と、

前記第 2 の化合物半導体層の上に形成された第 3 の化合物半導体層と、

前記第 3 の化合物半導体層の上に形成され、前記第 3 の化合物半導体層とショットキー接合するゲート電極とを有し、

前記第 3 の化合物半導体層は、その少なくとも上部に自然超格子が破壊され且つ厚さが所定値以下に設定されたリン化インジウムガリウムを含む。

8. スイッチ回路は、

ゲート電極、ドレイン電極及びソース電極を有し、前記ドレイン電極及びソース電極が入出力端子となる電界効果型トランジスタと、一端が前記ゲート電極と接続され、他端が制御端子となる抵抗素子とを備えたスイッチ回路であって、

前記電界効果型トランジスタは、

キャリアが走行する第 1 の化合物半導体層と、

前記第 1 の化合物半導体層の上に形成され、前記第 1 の化合物半導体層にキャリアを供給する第 2 の化合物半導体層と、

前記第 2 の化合物半導体層の上に形成された第 3 の化合物半導体層と、

前記第 3 の化合物半導体層の上に形成され、前記第 3 の化合物半導体層とショットキー接合するゲート電極とを有し、

前記第 3 の化合物半導体層は、その少なくとも上部に自然超格子が破壊され且つ厚さが所定値以下に設定されたリン化インジウムガリウムを含む。

9. スイッチ回路は、

それぞれが、ゲート電極、ドレイン電極及びソース電極を有し、前記ドレイン電極及びソース電極が入出力端子となる電界効果型トランジスタと、一端が前記ゲート電極と接続され、他端が制御端子となる抵抗素子とを備え、互いに電氣的に接続され複数のスイッチ回路であって、

前記各電界効果型トランジスタは、

キャリアが走行する第 1 の化合物半導体層と、

前記第 1 の化合物半導体層の上に形成され、前記第 1 の化合物半導体層にキャリアを供給する第 2 の化合物半導体層と、

前記第 2 の化合物半導体層の上に形成された第 3 の化合物半導体層と、

前記第 3 の化合物半導体層の上に形成され、前記第 3 の化合物半導体層とショットキー接合するゲート電極とを有し、

前記第 3 の化合物半導体層は、その少なくとも上部に自然超格子が破壊され且つ厚さが所定値以下に設定されたリン化インジウムガリウムを含む。

【アブストラクト】

化合物半導体基板の上には、アンドープの InGaAs からなるチャネル層、 n 型 AlGaAs からなるキャリア供給層、自然格子構造を有していない無秩序配列 (Disordered) の InGaP からなるショットキー層及び GaAs からなるキャップ層が順次積層されている。ショットキー層におけるキャップ層の間に露出した部分上には、ゲート電極が形成されており、キャップ層の上にはソース電極及びドレイン電極が形成されている。ショットキー層の厚さは約 8 nm 以下に設定され、これにより、ゲート電極の逆方向耐圧が AlGaAs からなるショットキー層の場合と比べて大きくなる。